



دانشگاه زنجان

دانشکده مهندسی

گروه برق

پایان نامه کارشناسی

گرایش: الکترونیک

عنوان:

تحلیل و بررسی ترانزیستور های اثر میدانی چند گیتی و FinFET

استاد راهنما: خانم دکتر نیره قبادی

نگارش: مهسا گردون پیر

بهمن ماه ۹۶

اگر مردم رارسم خان است که با تقدیم تلاش ایشان به بزرگان به آن ها تقرب جویند، نایسته است تخمین

شمره ی تحصیل، پیشکش تواضعانه ای باشد به تخمین معلمان زندگیم

پدر و مادر م

سایکوزاری

در این جا ضمن سپاس از خداوند مهربان و متعال،

از استاد گرامی و محترم سیرکار خانم دکتر قبادی

به خاطر کمک و راهنمایی های ارزشمندشان

تقدیر و تشکر می نامیم.

چکیده

در بیش از ۴ دهه، اندازه‌ی ترانزیستورها به صورت نمایی کوچک می‌شدند و بنابراین تعداد ترانزیستورهای موجود در یک چیپ به صورت نمایی افزایش یافت. با کاهش ابعاد ترانزیستورهای نسل جدید، مشخصه‌های الکتریکی قطعات به طور قابل توجهی کاهش یافت؛ به گونه‌ای که مانع از کاهش بیشتر ابعاد ترانزیستورها شد. بنابراین ساختار فین‌فت‌ها و ترانزیستورهای چندگیتی برای بهبود مشخصه‌های الکتریکی پیشنهاد شد.

در این پروژه ابتدا در فصل اول به بررسی تاریخچه‌ی روند کاهش اندازه‌ی ترانزیستورها و زمینه‌های تحقیقاتی آن و مدل کردن اثر کاهش اندازه‌ی ترانزیستور بر روی مشخصه‌های الکتریکی و راه‌های بهبود این مشخصه‌ها پرداخته شده است.

در فصل دوم انواع ترانزیستورهای چندگیتی و فین‌فت‌ها و ویژگی‌های آنها مورد مطالعه قرار می‌گیرند.

در فصل سوم به بررسی اثر کاهش اندازه‌ی ترانزیستور بر روی فیزیک ترانزیستورها پرداخته می‌شود.

فصل چهارم به بررسی اثر خود گرمایی بر روی ویژگی‌های الکتریکی قطعات پرداخته و در فصل پنجم به معرفی نرم افزار سیلواکو و شبیه‌سازی ترانزیستور دوگیتی و تک‌گیتی می‌پردازیم و سپس به بررسی مشخصه‌های الکتریکی آن می‌پردازیم.

کلید واژگان: ترانزیستور FinFET، ترانزیستور FDSOI، اثر کانال کوتاه، اثر DIBL، باله،

اثر گوشه، جریان روشن، ولتاژ آستانه، اثر خود گرمایی.

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان
زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان
دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان

صفحه

عنوان

مقدمه ۱

فصل اول : ساختار های جایگزین جهت پیروی ابعاد ترانزیستور ها از قانون مور ۳

۱-۱- ساختار های جایگزین MOSFET ۴

۱-۲- مدل مشخصه های الکتریکی ساختار های جدید ۶

فصل دوم: انواع ترانزیستور های چند گیتی و فین فت ها ۱۰

۱-۲- ساختار ماسفت های FD SOI یا ماسفت های تک گیتی ۱۱

۲-۲- ماسفت های SOI دو گیتی ۱۳

۳-۲- ماسفت های SOI سه گیتی ۱۴

۴-۲- ماسفت های SOI چهار گیتی یا محیطی ۱۵

۵-۲- ساختار سایر ماسفت های چند گیتی ۱۵

۶-۲- ماسفت های چند گیتی قطعات حافظه دار ۱۶

فصل سوم: فیزیک ماسفت های چند گیتی ۱۸

۱-۳- طول طبیعی و اثرات کانال کوچک ۱۹

۲-۳- فیزیک ماسفت های SOI دو گیتی ۲۱

۳-۳- جریان محرکه ۲۵

۴-۳- اثر گوشه ۲۷

۵-۳- ولتاژ آستانه ۲۹

فصل چهارم: اثر خود گرمایی در تکنولوژی SOI CMOS	۳۲
۴-۱- تولید حرارتی در قطعات کانال کوتاه	۳۳
۴-۲- انتقال تولید حرارتی در قطعات نیمه هادی مقیاس نانو	۳۳
۴-۳- اثرات حرارتی بر روی ویژگی ها الکتریکی قطعات کانال کوتاه	۳۶
۴-۳-۱- ویژگی های زیر آستانه ی ولتاژ- جریان و افت جریان	۳۶
۴-۳-۲- اثر خود گرمایی	۳۸
۴-۴- رفتار دینامیکی در سطح مدار	۴۱
۴-۵- رفتار استاتیکی ناشی از اثر خود گرمایی در سطح مدار	۴۳
۴-۶- مشخصه جریان- ولتاژ	۴۴
۴-۷- ولتاژ آستانه	۴۸
۴-۸- بررسی اثر خود گرمایی بر روی رسانایی درین	۵۰
۴-۹- اثر افزایش دما بر روی ولتاژ و جریان درین	۵۴
فصل پنجم: شبیه سازی ترانزیستور دوگیتی توسط نرم افزار سیلواکو	۵۶
۱-۵- معرفی نرم افزار سیلواکو	۵۷
۲-۵- طریقه ی ایجاد یک ترانزیستور FDSOI	۵۸
۳-۵- بررسی اثر ایجاد دو گیت در ترانزیستور FDSOI	۶۴
خلاصه و نتیجه گیری	۶۸
مراجع	۷۰

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان

فهرست نمودار ها دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان

عنوان دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان

صفحه دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان

نمودار ۱- ۱ طرح ساده ی ماسفت های (FDSOI . الف) ماسفت با BOX نازک، ب) ماسفت با BOX نازک و صفحه ی زمین که میتواند به عنوان گیت دوم در نظر گرفته شود ۵

نمودار ۱- ۲ نمایش خطوط الکتریکی سورس و درین که در طول ناحیه ی کانال در انواع مختلف ماسفت کشیده شده است ۸

نمودار ۱- ۳ وابستگی الکترواستاتیک در ماسفت های الف) بالک دار ، ب) کاملا تخلیه شده ، ج) دوگیتی ۹

نمودار ۲- ۱ ضخامت فیلم سیلیکونی بر حسب ولتاژ آستانه بیان شده توسط خاکی فیروز ۱۱

نمودار ۲- ۲ ساختار ماسفت های چند گیتی ۱۲

نمودار ۲- ۳ نمونه هایی از ساختار ماسفت های دوگیتی الف) ماسفت دلتا ، ب) فین فت ۱۳

نمودار ۲- ۴ کاهش ولتاژ عملکردی در ترانزیستور tri-Gate نسبت به ترانزیستور مسطح ۱۴

نمودار ۲- ۵ ساختار سه بعدی قطعات مورد استفاده در FinFET و ماسفت های tri-Gate ارائه شده توسط IEEE ۱۵

نمودار ۲- ۶ ساختار ماسفت های محیطی ۱۵

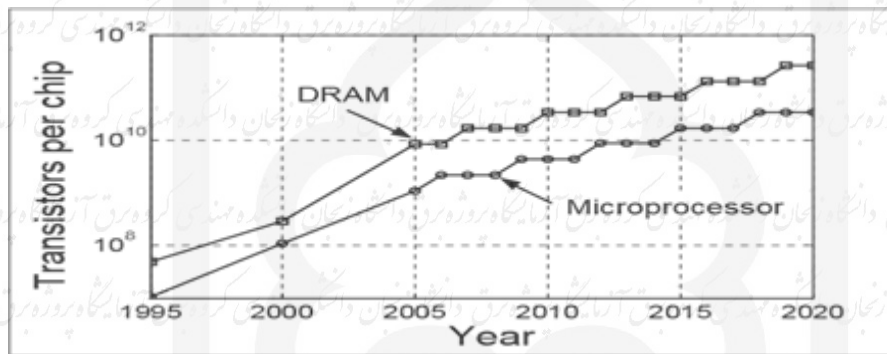
نمودار ۲- ۷ الف) فین فت کانال نوع T ، ب) بالک فین فت ، ج) ترانزیستور چند کانالی اثر میدانی ۱۶

نمودار ۳- ۱ سیستم مختصات و اجزای میدان الکتریکی در یک ترانزیستور چند گیتی ۲۰

- دانشگاه زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان
- زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان
- کنال کوچک ۲۴
- نمودار ۳-۲) ساختار سطح ماسفت تک گیتی ، ب) ساختار فت چند گیتی و چند باله ای ۲۵
- نمودار ۳-۴) برشی عرضی از ماسفت های چند گیتی چند باله ای ، ب) تصویر SEM از باله ها ۲۶
- نمودار ۳-۵) جریان محرکه ی نرمالیزه شده فین فت با ضخامت ۵۰ نانومتر و ماسفت ها سه گیتی با حسب $wsi = pitch^2$ با قابلیت تحرک الکترون در صفحه ی ۱۰۰ برابر با $300cm^2vs$ و ۲۶
- نمودار ۳-۶) قابلیت تحرک الکترون در صفحه ی ۱۱۰، $150cm^2vs$ است. ۲۶
- نمودار ۳-۷) برشی عرضی از قطعه ی Ω گیتی الف) $r_{top} = r_{bot}$ ، ب) $r_{top} \neq r_{bot}$ ۲۸
- نمودار ۳-۷) در ماسفت Ω گیتی نمایش داده شده است. گیت پلی سیلیکون $N +$ در نظر گرفته شده است. الف) $r_{top} = r_{bot} = 1nm$ ، ب) $r_{top} = r_{bot} = 5nm$ ۲۸
- نمودار ۴-۱) نمودار هدایت حرارتی بر حسب دما برای TSI متفاوت ۳۵
- نمودار ۴-۲) پراکندگی دمایی در ماسفت های نوع n نیمه تخلیه. اندازه قطعه: ۳۸
- نمودار ۴-۳) منحنی $ID - VDS$ در ماسفت های نوع n کاملا تخلیه شده 0.4 میکرومتری همراه با ماسفت کربوهیپ آنزایگاه پروژه برق و انشاه زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان و انستیتو مهندسی کربوهیپ آنزایگاه پروژه برق و انشاه زنجان
- اثر خود گرمایی و بدون در نظر گرفتن آن در دو دمای 300 و 600 درجه کلین ۳۹
- نمودار ۴-۴) ماکزیمم تغییرات دمایی شبکه همراه با بایاس درین در بایاس گیت 3 و 5 و 10 ولت برای ماسفت های کاملا تخلیه شده نوع n ۴۰
- نمودار ۴-۵) پراکندگی دمایی شبکه در ماسفت های بالک دار نیمه تخلیه و کاملا تخلیه شده ی SOI 0.4 نانومتری ۴۱
- نمودار ۴-۶) عملکرد دمایی تاخیر انتشار در ماسفت های بالک دار و SOI با $tsi = 60,90 nm$ ۴۲

مقدمه

تا سال ۱۹۶۰ هیچ تغییر چشمگیری در ساختار ماسفت‌های دو بعدی با بالک سیلیکونی ایجاد نشد. در سال ۱۹۶۵ جوردن مور مقاله‌ی خود را با عنوان سیر تکامل چگالی ترانزیستورها در مدارات مجتمع منتشر کرد. مور در این مقاله بیان کرد که تعداد ترانزیستورها در هر چیپ^۱ با گذشت هر سه سال ۴ برابر خواهد شد؛ این موضوع به نام قانون مور شناخته می‌شود و در چهل سال گذشته چگالی نیمه هادی‌ها به طور قابل توجهی از این قانون پیروی کرده‌است. در سال ۱۹۹۰، کمپانی‌های نیمه هادی به یکدیگر پیوستند و سازمان بین المللی نقشه‌ی راه تکنولوژی نیمه هادی، ITRS^۲، را تشکیل دادند که هر سال گزارشی را که معیار چگالی نیمه هادی‌ها را مشخص می‌کند، منتشر می‌کند. در این گزارش نوع تکنولوژی، ابزار طراحی و اندازه‌گیری و تجهیزات ادوات نیمه هادی مشخص می‌شود. نمودار ۱-۱ سیر تکامل ترانزیستورها در هر چیپ برای DRAM^۳ و میکروپروسورها که در سال ۲۰۰۵ توسط ITRS منتشر شده‌است^۴ را نمایش می‌دهد [۴].



نمودار ۱-۱ چگالی ترانزیستورها در هر چیپ که در سال ۲۰۰۵ توسط ITRS برای میکروپروسورها و DRAM ها ارائه شده است.

CMOS^۵ تکنولوژی صنعت نیمه‌هادی است و بلوک‌های سازنده‌ی آن را ترانزیستورهای MOS^۶ یا ماسفت‌ها تشکیل می‌دهند. جهت پیروی از قانون مور، ابعاد خطی ترانزیستورها هر ۳ سال به مقدار نصف کاهش یافت و در سال ۲۰۱۰ اولین مدار مجتمع با ترانزیستورهایی به طول گیت ۲۰ نانومتر بر روی ویفر

^۱ chip

^۲ International Technology Roadmap for Semiconductors (ITRS)

^۳ Dynamic random-access memory

^۴ FinFETs and Other Multi-Gate Transistors Jean-Pierre Colinge (Ed.)

^۵ complementary metal-oxide-semiconductor

^۶ metal-oxide-semiconductor

با بالک سیلیکونی ساخته شد. طبق پیش بینی شرکت اینتل در سال ۲۰۱۸ طول گیت ترانزیستورها دانشگاه زنجان

به ۱۲.۸ نانومتر و در سال ۲۰۲۶ به میزان ۵.۹ نانومتر خواهد رسید. در سال ۱۹۹۰ با کوچک شدن طول دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

گیت ترانزیستورها به کمتر از ۲۰ نانومتر عملکرد ترانزیستورها دچار مشکل شد. زیرا زمانی که ابعاد یک مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

مافست کاهش پیدا می کند، سطح ولتاژ و ضخامت اکسید گیت نیز باید کاهش یابد و از آنجایی که ولتاژ گرمایی الکترون $\frac{KT}{q}$ برای قطعات در دمای اتاق ثابت است، نسبت بین ولتاژ عملکرد و ولتاژ گرمایی به

ناچار باید کاهش یابد. این باعث افزایش جریان سوریس - درین ناشی از نفوذ گرمایی الکترون ها می شود و

چون در همین حال اکسید گیت به ضخامت چند لایه ی اتم رسیده است، پدیده ی تونل زنی مکانیک

کوانتومی رخ می دهد و موجب افزایش شدید جریان های عبوری می شود. بنابراین توانایی الکتروود گیت

در کنترل ولتاژ توزیعی و جریان عبوری کاهش می یابد که این پدیده به اثر کانال کوچک^۱، معروف است. همچنین ناخالصی های ناخواسته موجود در شبکه سیلیکونی مانع از تغییر پذیری ویژگی های قطعات از

جمله ولتاژ آستانه شد و در نهایت قانون مور در سال ۲۰۱۲ پایان یافت. [۲]

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان دانشکده مهندسی گروه برق آزمایشگاه پژوهش برق دانشگاه زنجان

۱-۱- ساختار های جایگزین MOSFET

با منقضي شدن قانون مور ساختار های جدیدی برای پیروی ترانزیستور ها از قانون مور پیشنهاد شد

که دارای دو جز اصلی است:

اولین طرح ماسفت های SOI کاملاً تخلیه شده^۱ است که در آن لایه ی سیلیکونی نازک بر روی اکسید انباشته شده^۲ قرار گرفته است و مزیت کاهش خازن پارازیتی و افزایش جریان درایو عبوری را دارا می باشد. (شکل ۱-۱-الف) و دیگری با وجود صفحه ی زمین با ناخالصی زیاد^۳ که در بین بستر سیلیسیومی و اکسید انباشته قرار می گیرد (شکل ۱-۱-ب).

در ابتدا ماسفت های کاملاً تخلیه شده ، توسط یک گیت کار می کردند هر چند بدنه^۴ می توانست به عنوان گیت دوم در نظر گرفته شود. اما در فین فت ها از ۲ یا چند گیت استفاده می شود. به شکل ۱-۱-۱ مراجعه شود [۱].

^۱ fully depleted SOI (FDSOI)

^۲ BOX

^۳ GP(ground plane)

^۴ sub

^۵ Fundamentals of Ultra-Thin-Body MOSFETs and FinFETs, JERRY G. FOSSUM University of Florida

[1] JERRY G. FOSSUM, VISHAL P. TRIVEDI ,” Fundamentals of Ultra-Thin-Body MOSFETs and FinFETs” Cambridge University, University of Florida

[2] Jean-Pierre Colinge” FinFETs and Other Multi-Gate Transistors” ISBN 978-0-387-71751-7.

[3]G. Moore,” Cramming more components onto integrated circuits” ,*Electronics*, vol.38, p.114 ,1965.

[4] W.Xiong, K. Ramkumar, S.J. Jamg, J.T. Park, J.P. Colinge, “*Self-aligned ground-plane FDSOI MOSFET*”, Proceedings of the IEEE International SOI Conference 23, 2002.

[5] T. Skotnicki, G. Merckel, T. Pedron,” *The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects*”, *IEEE Electron Device Letters*, vol. 9, p. 109, 1998.

[6] Jagadesh Kumar Mamidala, Rajat Vishnoi, Pratyush Pandey” *Tunnel Field-effect Transistors (TFET) Modelling and Simulation*”

[7] Claudio Fiegna, , Yang Yang, Enrico Sangiorgi, , and Anthony G. O’Neill” *Analysis of Self-Heating Effects in Ultrathin-Body SOI MOSFETs by Device Simulation*” IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 55, NO. 1, JANUARY 2008

[8] Bernard M. Tenbroek, , Michael S. L. Lee, William Redman-White, , R. John T. Bunyan, and Michael J. Uren” *Self-Heating Effect in SOI MOSFET’s and Their Measurement by Small Signal Conductance Techniques*” IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 43, NO. 12, DECEMBER 1996

[9] A.K. Goel, T.H. Tan” *High-temperature and self-heating effects in fully depleted SOI MOSFETs*” *Microelectronics Journal*,VOL 37 ,P.963–975,2006

[10] E. Pop, J. Rowlette, R. W. Dutton, and K. E. Goodson, “*Joule heating under quasi-ballistic transport conditions in bulk and strained silicon devices*,” in Proc. Int. Conf. SISPAD, 2005, pp. 307–310.

[11] G. K. Wachutka, "Rigorous thermodynamic treatment of heat generation and conduction in semiconductor device modeling," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 9, no. 11, pp. 1141–1149, Nov. 1990.

[12] E. Pop, R. Dutton, and K. Goodson, "Thermal analysis of ultra-thin body device scaling," in IEDM Tech. Dig., 2003, pp. 883–884.

[13] W. Liu and M. Asheghi, "Thermal conductivity measurements of ultra-thin single crystal silicon layers," Trans. ASME, J. Heat Transf., vol. 128, no. 1, pp. 75–83, Jan. 2006.

[14] E. J. Nowak, "Maintaining the benefits of CMOS scaling when scaling bogs down," IBM J. Res. Develop., vol. 46, no. 2/3, pp. 169–180, 2002.

[15] V. De and S. Borkar, "Technology and design challenges for low power and high performance," in Proc. ISLPED, 1999, pp. 163–168.

[16] W. Haensch, E. J. Nowak, R. H. Dennard, P. M. Solomon, A. Bryant, O. H. Dokumaci, A. Kumar, X. Wang, J. B. Johnson, and M. V. Fischetti, "Silicon CMOS devices beyond scaling," IBM J. Res. Develop., vol. 50, no. 4/5, pp. 339–361, Jul. 2006.

[17] J. H. Choi, A. Bansal, M. Meterelliyo, J. Murthy, and K. Roy, "Leakage power dependent temperature estimation to predict thermal runaway in FinFET circuits," in Proc. ICCAD, Nov. 2006, pp. 583–586.

[18] D. Esseni, M. Mastrapasqua, G. K. Celler, C. Fiegna, L. Selmi, and E. Sangiorgi, "Low field electron and hole mobility of SOI transistors fabricated on ultrathin silicon films for deep submicrometer technology application," IEEE Trans. Electron Devices, vol. 48, no. 12, pp. 2842–2850, Dec. 2001.

[19] A.A. Osman, M.A. Osman, N.S. Dogan, M.A. Imam, "Zero temperature coefficient biasing point of partially depleted SOI MOSFETs", IEEE Trans. Electron Devices (1995) 1709–1711.

[20] N. Arora, "MOSFET Models for VLSI Circuit Simulation", Computational Microelectronics. Wien, Germany: Springer-Verlag, 1993

[21] S. M. Sze, "Physics of Semiconductor Devices", 2nd ed. New York: Wiley, 1981.

[22] D. A. Dallmann and K. Shenai, "Scaling constraints imposed by self-heating in submicron SOI MOSFET's," IEEE Trans. Electron Devices, vol. 42, no. 3, pp. 489-496, Mar. 1995

[23] ATLAS Users Manual, SILVACO International.

[24] F.S. Shoucair, "Design consideration in high temperature analog CMOS integrated circuits", IEEE Trans. Components, Hybrids, Manuf. Technol. CHMT-9 (3) (1986) 399-404.

[25] F.S. Shoucair, W. Hwang, "Electrical characteristics of large scale integration (LSI) MOSFETs at very high temperatures part II: experiment", Microelectron. Reliab. 24 (3) (1984) 497-510.

[26] M.J. Sherony, L.T. Su, J.E. Chung, D.A. Antoniadis, "Reduction of threshold voltage sensitivity in SOI MOSFETs", IEEE Electron Device Lett. 16 (3) ,P.100-102,1995

[27] G. Groeseneken, J.P. Colinge, H.E. Maes, J.C. Alderman, S. Holt, "Temperature dependence of threshold voltage in thin-film SOI MOSFETs", IEEE Electron Device Lett. 11 (9) ,P.329-331, 1990.

[28] A.A. Osman, M.A. Osman, "Investigation of high temperature effects on MOSFET gate transconductance", Fourth International High Temperature Electronics Conference Proceedings, June 1998.

[29] <https://www.silvaco.com/examples/tcad/section43/index.html>

[30] <http://www.itrs.net/>

[31] H.-N. Lin, H.-W. Chen, C.-H. Ko, C.-H. Ge, H.-C. Lin, T.-Y. Huang, and W.-C. Lee, "Channel backscattering characteristics of strained PMOSFETs with embedded SiGe source/drain," in IEDM Tech. Dig., 2005, pp. 141-144.

[32] S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, M. Zhiyong, B. McIntyre, A. Murthy, B. Obradovic, L. Shifren, S. Sivakumar, S. Tyagi, T. Ghani, K. Mistry, M. Bohr, and Y. El-Mansy, "A logic nanotechnology featuring strained-silicon," IEEE Electron Device Lett., vol. 25, no. 4, pp. 191-193, Apr. 2004.